

TRANSFER CONTROLLER

Publication number: JP2001350713 (A)

Publication date: 2001-12-21

Inventor(s): KAMIMAKI HARUO; AIDA KOSAKU; KIUCHI ATSUSHI; NAKAGAWA TETSUYA; DAN TARUMAJI

Applicant(s): HITACHI LTD

Classification:

- international: G06F12/02; G06F13/28; G06F12/02; G06F13/20; (IPC1-7): G06F13/28; G06F12/02

- European: G06F13/28

Application number: JP20000175536 20000607

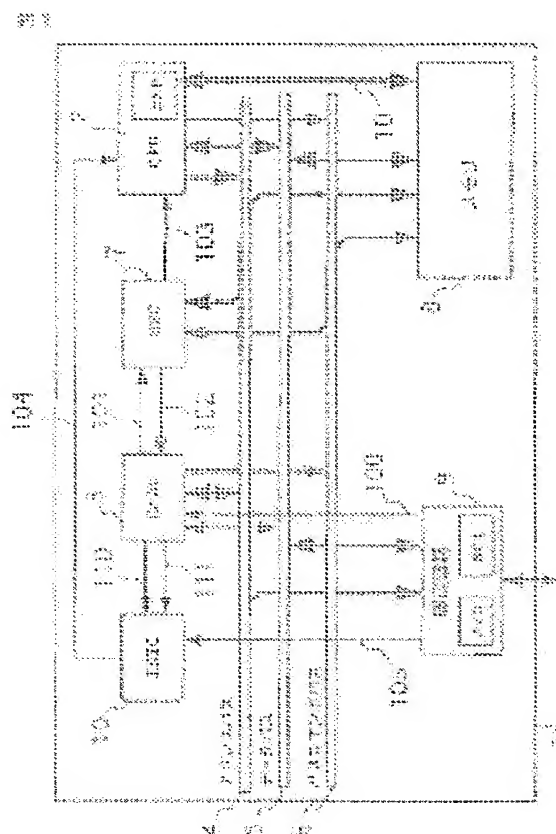
Priority number(s): JP20000175536 20000607

Also published as:

EP1162543 (A2)
 EP1162543 (A3)
 US2002026551 (A1)
 TW518469 (B)

Abstract of JP 2001350713 (A)

PROBLEM TO BE SOLVED: To relieve the control load of a CPU required for data transfer, with which plural data transfer areas are cyclically used. **SOLUTION:** Each time the transfer start address of a transfer source or transfer destination is initially set by a CPU (2) and data transfer in response to a transfer request from the transfer source reaches a prescribed data amount with the transfer start address as a base point, a DMAC (3) requests interruptions (110, 111 and 104) to the CPU and each time the interruption is requested prescribed times, the address of the transfer source or transfer destination is initialized to the transfer start address. After data transfer conditions are temporarily set to the DMAC, the CPU can continue data processing without performing any resetting processing for data transfer control for receiving audio data while repeatedly utilizing the finite number of memory areas (MA and MB).



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-350713

(P2001-350713A)

(43) 公開日 平成13年12月21日 (2001. 12. 21)

(51) Int.Cl. ⁷	識別記号	F I	ページコード* (参考)
G 0 6 F 13/28	3 1 0	C 0 6 F 13/28	3 1 0 J 5 B 0 6 0
12/02	5 8 0	12/02	5 8 0 D 5 B 0 6 1

審査請求 未請求 請求項の数15 O L (全 15 頁)

(21) 出願番号 特願2000-175536(P2000-175536)

(22) 出願日 平成12年6月7日 (2000. 6. 7)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 上牧 春雄

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(72) 発明者 会田 幸作

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74) 代理人 100089071

弁理士 玉村 静世

最終頁に続く

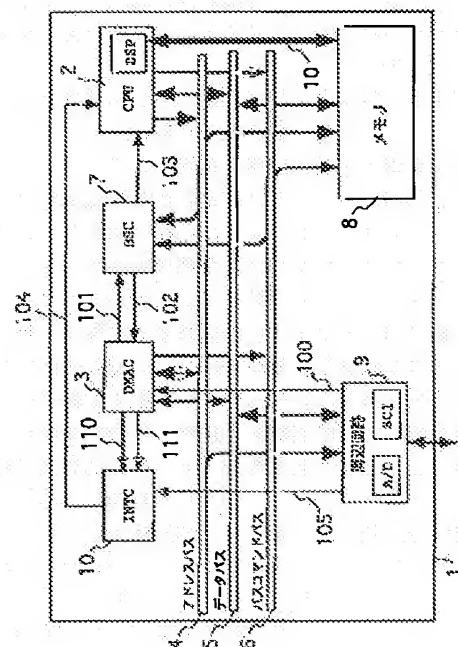
(54) 【発明の名称】 転送制御装置

(57) 【要約】

【課題】 複数のデータ転送領域をサイクリックに用いるデータ転送に要するCPUの制御負担を軽減させる。

【解決手段】 DMAC (3) は、CPU (2) により転送元又は転送先の転送開始アドレスが初期設定され、転送開始アドレスを基点に転送元からの転送要求に応答するデータ転送が所定のデータ量に達する毎にCPUに割り込み (110, 111, 104) を要求し、前記割り込みを所定の複数回要求する毎に転送元又は転送先のアドレスを前記転送開始アドレスに初期化する。CPU は一旦DMACにデータ転送条件を設定した後は、有限個のメモリ領域 (MA, MB) を繰り返し利用して音声データを受信するためのデータ転送制御のために如何なる再設定処理も行わずにデータ処理を継続することができる。

図1



【特許請求の範囲】

【請求項1】 外部より転送元又は転送先の転送開始アドレスが初期設定される初期値レジスタと、転送開始アドレスを基点に外部からの転送要求に応答するデータ転送が所定のデータ量に達する毎に外部に割り込みを要求し、前記割り込みを所定の複数回要求する毎に転送元又は転送先のアドレスを前記初期値レジスタの前記転送開始アドレスに初期化する制御手段と、を含んで成るものであることを特徴とする転送制御装置。

【請求項2】 半導体チップに演算制御装置及び転送制御装置を含み、前記転送制御装置は、前記演算制御装置により転送元又は転送先の転送開始アドレスが初期設定され、転送開始アドレスを基点に転送元からの転送要求に応答するデータ転送が所定のデータ量に達する毎に前記演算制御装置に割り込みを要求し、前記割り込みを所定の複数回要求する毎に転送元又は転送先のアドレスを前記転送開始アドレスに初期化するものであることを特徴とするデータプロセッサ。

【請求項3】 演算制御装置と、前記演算制御装置によって転送制御条件が設定される転送制御装置と、前記演算制御装置及び転送制御装置によりアクセス可能なRAMと、前記転送制御装置に転送要求を発行する周辺回路とを有し、前記転送制御装置は演算制御装置によって設定された転送制御条件で示されるRAM上の転送開始アドレスを基点に前記周辺回路からの転送要求に応答するRAMへのデータ転送が所定のデータ量に達する毎に演算制御装置に割り込みを要求し、前記割り込みを所定の複数回要求する毎に転送先又は転送元のアドレスを前記転送開始アドレスに初期化し、前記演算制御装置は転送制御装置からの割り込みを受けて付けた後に当該割り込みが要求されるまでにRAMに転送されたデータをリードしてデータ処理を行うものであることを特徴とするデータ処理システム。

【請求項4】 外部から転送制御アドレス情報が設定可能な初期値レジスタと、転送元から転送先へのデータ転送毎に転送制御アドレス情報を更新するアドレス計数手段と、前記初期値レジスタに設定された転送制御アドレス情報がセットされ、セットされた転送制御アドレス情報が前記アドレス計数手段により順次更新されるテンポラリアドレスレジスタと、転送元から転送先へのデータ転送毎に転送回数を第1の目的回数まで計数する動作を繰り返し可能な転送回数計数手段と、前記転送回数計数手段による前記第1の目的回数まで計数する動作のくり返し回数を第2の目的回数まで計数する動作を繰り返し可能な繰り返し回数計数手段と、データ転送要求に応答して転送元から転送先へのデータ転送動作を開始させ、前記転送回数計数手段が第1の目的回数まで計数する毎に割り込み信号を出力し、前記くり返し回数計数手段が第2の目的回数まで計数する毎に前記初期値レジスタから前記テンポラリレジスタに転送制御アドレス情報を設

定する制御手段と、を含んで成るものであることを特徴とする転送制御装置。

【請求項5】 前記テンポラリアドレスレジスタは転送先アドレスを保有するディスティネーションアドレスレジスタであり、前記初期値レジスタは転送先の先頭アドレスが設定されるイニシャルアドレスレジスタであり、前記制御手段はデータ転送要求に応答して転送元アドレスのデータを前記ディスティネーションアドレスレジスタによって示される転送先アドレスに格納するデータ転送制御を開始可能であることを特徴とする請求項4記載の転送制御装置。

【請求項6】 前記テンポラリアドレスレジスタは転送元アドレスを保有するソースアドレスレジスタであり、前記初期値レジスタは転送元の先頭アドレスが設定されるイニシャルアドレスレジスタであり、前記制御手段はデータ転送要求に応答して前記ソースアドレスレジスタによって指定される転送元アドレスのデータを転送先アドレスに格納するデータ転送制御を開始可能であることを特徴とする請求項4記載の転送制御装置。

【請求項7】 転送元アドレスを保有するソースアドレスレジスタ及び転送先アドレスを保有するディスティネーションアドレスレジスタを有し、前記制御手段は前記ソースアドレスレジスタ又はディスティネーションアドレスレジスタの何れか一方を前記テンポラリアドレスレジスタとして選択可能であり、テンポラリレジスタとして選択されたレジスタを用いてデータ転送要求に応答するデータ転送制御を開始可能であることを特徴とする請求項4記載の転送制御装置。

【請求項8】 前記第1の目的回数が外部から設定可能にされる転送回数指定レジスタを有して成るものであることを特徴とする請求項4乃至7の何れか1項記載の転送制御装置。

【請求項9】 前記第2の目的回数は3回であることを特徴とする請求項4乃至7の何れか1項記載の転送制御装置。

【請求項10】 前記転送元又は転送先として利用可能なRAMを有して成るものであることを特徴とする請求項1乃至9の何れか1項記載の転送制御装置。

【請求項11】 外部から転送制御アドレス情報が設定可能な複数個の初期値レジスタと、転送元から転送先へのデータ転送毎に転送制御アドレス情報を更新するアドレス計数手段と、前記複数個の初期値レジスタが保有する転送制御アドレス情報の中から1つを選択可能な選択手段と、前記選択手段で選択された転送制御アドレス情報が前記アドレス計数手段によって順次更新されるテンポラリアドレスレジスタと、転送元から転送先へのデータ転送毎に転送回数を第1の目的回数まで計数する動作を繰り返し可能な転送回数計数手段と、前記転送回数計数手段による前記第1の目的回数まで計数する動作のくり返

し回数を第2の目的回数まで計数する動作を繰り返し可能な繰り返し回数計数手段と、データ転送要求にตอบสนองして転送元から転送先へのデータ転送動作を開始させ、前記転送回数計数手段が第1の目的回数まで計数する毎に、割り込み信号を出力し、前記繰り返し回数計数手段による計数値に応じて前記選択手段に前記初期値レジスタを選択させ、選択された初期値レジスタから前記テンポラリレジスタに転送制御アドレス情報を設定する制御手段と、を含んで成るものであることを特徴とする転送制御装置。

【請求項12】 演算制御装置と前記演算制御装置によって転送制御条件が設定される転送制御装置とを含み、前記転送制御装置は、前記演算制御装置から転送制御アドレス情報が設定可能な初期値レジスタと、転送元から転送先へのデータ転送毎に転送制御アドレス情報を更新するアドレス計数手段と、前記初期値レジスタに設定された転送制御アドレス情報がセットされ、セットされた転送制御アドレス情報が前記アドレス計数手段により順次更新されるテンポラリアドレスレジスタと、転送元から転送先へのデータ転送毎に転送回数を第1の目的回数まで計数する動作を繰り返し可能な転送回数計数手段と、前記転送回数計数手段による前記第1の目的回数まで計数する動作のくり返し回数を第2の目的回数まで計数する動作を繰り返し可能な繰り返し回数計数手段と、データ転送要求にตอบสนองして転送元から転送先へのデータ転送動作を開始させ、前記転送回数計数手段が第1の目的回数まで計数する毎に割り込み信号を出力し、前記くり返し回数計数手段が第2の目的回数まで計数する毎に前記初期値レジスタから前記テンポラリレジスタに転送制御アドレス情報を設定する制御手段と、を含んで成るものであることを特徴とするデータプロセッサ。

【請求項13】 前記演算制御装置及び転送制御装置によってアクセス可能なRAMを有し、1個の半導体チップに形成されて成るものであることを特徴とする請求項12記載のデータプロセッサ。

【請求項14】 前記転送制御装置にデータ転送要求を出力可能であって、前記演算制御装置及び転送制御装置によってアクセス可能な周辺入出力回路を更に有して成るものであることを特徴とする請求項13記載のデータプロセッサ。

【請求項15】 請求項14記載のデータプロセッサと、前記データプロセッサの周辺入出力回路に接続された音声信号入力回路と、を有し、前記データプロセッサは、前記演算制御装置の動作プログラムを保有し、前記動作プログラムにしたがって前記演算制御装置は音声信号入力回路から周辺入出力回路に入力された音声信号をRAMへ転送させる転送条件を転送制御装置に設定し、前記転送制御装置は周辺入出力回路から転送要求にตอบสนองして音声信号をRAMに転送制御し、前記演算制御装置は前記転送制御装置から割り込み信号を入力したとき、

RAMから音声信号をリードして処理することを特徴とするデータ処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、DMAC（ダイレクト メモリ アクセス コントローラ）等のデータ転送制御装置や前記データ転送制御装置を内蔵したマイクロコンピュータなどによるデータ転送制御技術に関し、例えば携帯電話器におけるレイヤ処理や音声符号化復号処理に際してのデータバッファリングに適用して有効な技術に関する。

【0002】

【従来の技術】従来のDMACは、転送元アドレス、転送先アドレス、及び転送語数（転送回数）などが予め演算制御装置によって初期設定され、転送要求があると、前記初期設定条件に従ってデータ転送を開始する。メモリとメモリとの間でのデータ転送のようなデュアルアドレスリングモードによるデータ転送では、データ転送毎に、転送元アドレス及び転送先アドレスを各々更新し、指定された転送語数のデータ転送を逐次実行していく。メモリと周辺回路との間でのデータ転送のようなシングルアドレスリングモードによるデータ転送では、データ転送毎に、転送元アドレス又は転送先アドレスを更新し、指定された転送語数のデータ転送を逐次実行していく。

【0003】前記CPU等の演算制御装置は前記DMACがデータ転送制御を負担している間、別のデータ処理を行うことができる。例えば、GSM（Global System For Mobile Communication）携帯電話の音声コーデック（音声符号化復号処理）をターゲットとするデータプロセッサにおいて、送信すべき音声データをDMACがデータバッファに蓄えているとき、これに並行してCPUは、既にデータバッファに蓄えられた音声データを符号化するための処理を行うことができる。

【0004】

【発明が解決しようとする課題】本発明者は、GSM等の携帯電話における音声コーデックの様な処理との関連で、DMACによるデータ転送制御について検討した。

【0005】例えば、音声データは8KHzでサンプリングされ、逐次データプロセッサへ転送され、データプロセッサはそのデータをDMACを用いてメモリ上に格納する。そして音声データ160サンプル分のデータをひとつの塊として、音声圧縮処理を行う。このとき音声圧縮処理を行っている最中でも音声データは送られてくるため、圧縮を行っているデータを消さずに音声データを蓄積していかなければならない。その対策として、音声データの格納場所を2箇所準備し、160サンプル分のデータがたまるたびにDMACのデータ転送制御条件を変更することで、2箇所の格納場所に交互にデータをバッファリングすることで対処することができる。

【0006】しかしながら、この手法では、データプロ

セッサのCPUは、音声圧縮処理の前に毎回DMACのデータ転送条件を設定変更するための処理を行わなければならないため、CPUの処理量がその分だけ多くなってしまうことが本発明者によって明らかにされた。

【0007】このように、逐次データを受け取りながらメモリなどに蓄積し、特定量のデータを受け取る毎に、データの蓄積処理と並列に既に蓄積されているデータを用いた信号処理等を行う時、前記特定量のデータを一塊として利用する処理ではそのデータをデータ処理が終了まで保持しなければならない、少なくとも2面バッファを用意し、その一方に蓄積されているデータを処理しているときは他方を利用してデータの蓄積を継続していく必要がある。そのためには、2箇所の格納場所に交互にデータをバッファリングできるように、DMACのデータ転送条件を変更していくことが必要にある。

【0008】このとき、1つのデータバッファに対してデータ転送を完了する度にDMACにもう一つのデータバッファの先頭アドレスを設定して、バッファエリアを交互に切り換え制御することも可能であるが、複数エリアに対して連続にデータ転送を可能にすれば、複数領域にデータ転送を完了する毎に、DMACにデータ転送制御条件を再設定すればよい。例えば2面バッファを利用する場合、2面のバッファにデータを蓄積する毎にデータ転送条件を再設定すればよく、データ転送条件設定のためのCPUの負担は半減する。このような複数領域のデータ連続転送を可能にしたDMACについて例えば特開平5-20263号公報に記載がある。

【0009】このとき、1つのバッファにデータが蓄積されたことをCPUに通知して信号処理などを開始させるには、DMACは1つのバッファにデータの蓄積を完了する毎にCPUに割り込みを要求すればよい。そのような割り込み手法に類似する技術として、特開平1-216456号公報には、磁気ディスク装置から主記憶装置へのDMA転送においてセクタ分のデータ転送毎にCPUに割り込み信号を発生し、その割り込みに応答してCPUにデータ処理を実行させる発明の記載がある。

【0010】しかしながら、上述の複数領域連続データ転送可能な技術であっても2面バッファの場合にはCPUによるデータ転送制御条件の設定負担が半減するに過ぎず、更にCPUの負担を軽減するにはバッファの数を増やさなければならない、リソースの有限性を考慮すれば、上記公知技術では限界のあることが本発明者によって明らかにされた。

【0011】本発明の目的は、複数のデータ転送領域をサイクリックに用いて行うデータ転送に要する制御負担を軽減させることができるデータ転送制御装置を提供することにある。

【0012】本発明の別の目的は、逐次データを受け取りながらメモリなどに蓄積し、特定量のデータを蓄積する毎に、次のデータの蓄積処理に並列して既に蓄積され

ているデータを用いた一連の処理におけるCPU等によるデータ転送制御条件の設定処理負担を軽減することができるデータプロセッサを提供することにある。

【0013】本発明のその他の目的は、逐次データを受け取りながらメモリなどに蓄積し、特定量のデータを蓄積する毎に、次のデータの蓄積処理に並列して既に蓄積されているデータを用いた一連の処理を行うデータ処理システムにおけるデータ処理効率の向上させることにある。

【0014】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0016】〔1〕データ転送制御装置は、外部より転送元又は転送先の転送開始アドレスが初期設定される初期値レジスタを有し、制御手段は、転送開始アドレスを基点に外部からの転送要求に応答するデータ転送が所定のデータ量に達する毎に外部に割り込みを要求し、前記割り込みを所定の複数回要求する毎に転送元又は転送先のアドレスを前記初期値レジスタの前記転送開始アドレスに初期化する。

【0017】上記転送制御装置を採用したデータプロセッサは半導体チップに前記転送制御装置と共にCPUのような演算制御装置を含む。

【0018】上記転送制御装置を採用したデータ処理システムは、前記転送制御装置と共に、演算制御装置と、前記演算制御装置及び転送制御装置によりアクセス可能なRAMと、前記転送制御装置に転送要求を発行する周辺回路とを有する。前記転送制御装置は演算制御装置によって設定された転送制御条件で示されるRAM上の転送開始アドレスを基点に前記周辺回路からの転送要求に応答するRAMへのデータ転送が所定のデータ量に達する毎に演算制御装置に割り込みを要求し、前記割り込みを所定の複数回要求する毎に転送先又は転送元のアドレスを前記転送開始アドレスに初期化する。前記演算制御装置は転送制御装置からの割り込みを受けて付けた後に当該割り込みが要求されるまでにRAMに転送されたデータをリードしてデータ処理を行う。

【0019】上記した手段によれば、一定量のデータ転送が完了される毎に割り込みを出力するから、CPU等の演算制御装置は一定量のデータ転送が完了されたデータ領域からデータをリードしてデータ処理を行うことができ、これに並行してデータ転送制御装置は次の領域にデータを蓄える転送制御をCPU等の演算制御装置の制御を要することなく継続することができる。

【0020】更に、割り込みが所定の複数回要求される毎に前記初期値レジスタの転送元又は転送先のアドレス

を前記転送開始アドレスに初期化するから、有限個数のデータ領域をサイクリックに利用するデータ転送制御に際して、CPU等の演算制御装置は転送制御条件を再設定する負担から解放される。換言すれば、連続する多数のデータ領域を用いることなく、限られたリソースを使用するだけでも、CPU等の演算制御装置による転送制御条件の再設定操作の負担を軽減して、間断なくデータ転送とデータ処理とを並列に継続させることが可能になる。例えば2面バッファを用いるだけでも上記効果を得ることができる。

【0021】さらに、前述の通り複数のデータ領域の切り替えとサイクリックに転送条件を設定する処理とを転送制御装置側で自動的に行うから、データ転送制御の処理負担が軽減された分だけ演算制御装置を別の処理に振り当てることが可能になり、データ処理システム全体としてデータ処理効率向上に寄与する。

【0022】〔2〕具体的な態様によるデータ転送制御装置は、外部から転送制御アドレス情報が設定可能な初期値レジスタと、転送元から転送先へのデータ転送毎に転送制御アドレス情報を更新するアドレス計数手段と、前記初期値レジスタに設定された転送制御アドレス情報がセットされ、セットされた転送制御アドレス情報が前記アドレス計数手段により順次更新されるテンポラリアドレスレジスタと、転送元から転送先へのデータ転送毎に転送回数を第1の目的回数まで計数する動作を繰り返し可能な転送回数計数手段と、前記転送回数計数手段による前記第1の目的回数まで計数する動作のくり返し回数を第2の目的回数まで計数する動作を繰り返し可能なくり返し回数計数手段と、データ転送要求にตอบสนองして転送元から転送先へのデータ転送動作を開始させ、前記転送回数計数手段が第1の目的回数まで計数する毎に割り込み信号を出力し、前記くり返し回数計数手段が第2の目的回数まで計数する毎に前記初期値レジスタから前記テンポラリアドレスレジスタに転送制御アドレス情報を設定する制御手段と、を含む。

【0023】上記データ転送制御装置において、シングルアドレッシングモードにおける転送先アドレスをメモリアドレスとする場合、前記テンポラリアドレスレジスタは転送先アドレスを保有するディスティネーションアドレスレジスタになる。このとき、前記初期値レジスタは転送先の先頭アドレスが設定されるイニシャルアドレスレジスタである。前記制御手段はデータ転送要求にตอบสนองして転送元アドレスのデータを前記ディスティネーションアドレスレジスタによって示される転送先アドレスに格納するデータ転送制御を開始する。データ転送回数が第1の目的回数に到達する毎に割り込み信号を出力し、前記くり返し回数計数手段が第2の目的回数まで計数する毎にイニシャルアドレスレジスタの初期値がディスティネーションアドレスレジスタにロードされる。これにより、イニシャルアドレスレジスタに初期値が一旦設定

されれば、その後、シングルアドレッシングモードで複数のデータ領域にデータを転送する制御が自動的に繰り返し可能になる。

【0024】上記転送制御装置において、シングルアドレッシングモードにおける転送元アドレスをメモリアドレスとする場合、前記テンポラリアドレスレジスタは転送元アドレスを保有するソースアドレスレジスタになる。前記初期値レジスタは転送元の先頭アドレスが設定されるイニシャルアドレスレジスタである。前記制御手段はデータ転送要求にตอบสนองして前記ソースアドレスレジスタによって指定される転送元アドレスのデータを転送先アドレスに格納するデータ転送制御を開始し、データ転送回数が第1の目的回数に到達する毎に割り込み信号を出力し、前記くり返し回数計数手段が第2の目的回数まで計数する毎にイニシャルアドレスレジスタの初期値がソースアドレスレジスタにロードされる。これにより、イニシャルアドレスレジスタに初期値が一旦設定されれば、その後、シングルアドレッシングモードで複数のデータ領域にデータを転送する制御が自動的に繰り返し可能になる。

【0025】上記データ転送制御装置において、ソースアドレス又はディスティネーションアドレスの何れに対してもシングルアドレッシングモードでサイクリックなデータ転送制御を選択可能にするには、ソースアドレスレジスタ及びディスティネーションアドレスレジスタに対し、制御手段は前記ソースアドレスレジスタ又はディスティネーションアドレスレジスタの何れか一方を前記テンポラリアドレスレジスタとして選択可能とし、テンポラリアドレスレジスタとして選択されたレジスタを用いてデータ転送要求にตอบสนองするデータ転送制御を開始すればよい。

【0026】前記第1の目的回数は1つのデータ領域の大きさを規定する事になるから、外部から第1の目的回数が設定可能な転送回数指定レジスタを設けることにより、転送制御の自由度が増す。

【0027】前記第2の目的回数はデータ転送に利用するデータ領域の総数に対応され、2面バッファを用いるとき第2の目的回数は2回、3面バッファを用いるとき第2の目的回数は3回である。特に3面バッファを利用すれば、1つのデータ領域にデータ転送を行っているとき、既にデータ転送を完了している2面のデータ領域のデータを用いてデータ処理を行うことができる。例えば、データ領域毎に音声データを符号化していくとき、音声データ符号化のための計数を求める短期予測処理では一つ前に符号化されたデータ領域の一部のデータも必要とし、このとき、既に符号化処理の済んだデータのデータ領域も含めてされた2面のデータ領域のデータが残っていれば、短期予測処理に必要なデータの確保が容易であり確実になる。

【0028】〔3〕不連続にアドレスマッピングされたデータ領域を利用可能にすることを考慮する場合には、

転送制御装置は、前記初期値レジスタを複数個有し、前記複数個の初期値レジスタが保有する転送制御アドレス情報の中から1つを選択可能な選択手段を設け、前記選択手段で選択された転送制御アドレス情報を前記テンポラリレジスタにセットして、前記アドレス計数手段によって順次更新可能にする。そして、制御手段は、データ転送要求に応答して転送元から転送先へのデータ転送動作を開始させ、前記転送回数計数手段が第1の目的回数まで計数する毎に、割り込み信号を出力し、前記繰り返し回数計数手段による計数値に応じて前記選択手段による前記初期値レジスタの選択状態を切り換えさせ、選択された初期値レジスタから前記テンポラリレジスタに転送制御アドレス情報をセットする。

【0029】これにより、夫々の初期値レジスタに初期設定される転送制御アドレス情報を先頭とする複数の不連続なデータ領域を順次切り換えてデータ転送を行う事が可能になる。

【0030】〔4〕具体的な態様によるデータプロセッサは、前記具体的な態様のデータ転送制御装置を演算制御装置と共に有する。

【0031】データプロセッサは、前記演算制御装置及び転送制御装置によってアクセス可能なRAMを有し、1個の半導体チップに形成してよい。更にデータプロセッサは、前記転送制御装置にデータ転送要求を出力可能であって、前記演算制御装置及び転送制御装置によってアクセス可能な周辺入出力回路を含んでよい。

【0032】前記データプロセッサを用いるデータ処理装置は、データプロセッサと共に、前記データプロセッサの周辺入出力回路に接続された音声信号入力回路と、を有し、前記データプロセッサは、前記演算制御装置の動作プログラムを保有し、前記動作プログラムにしたがって前記演算制御装置は音声信号入力回路から周辺入出力回路に入力された音声信号をRAMへ転送させる転送条件を転送制御装置に設定し、前記転送制御装置は周辺入出力回路から転送要求に응答して音声信号をRAMに転送制御し、前記演算制御装置は前記転送制御装置から割り込み信号を入力したとき、RAMから音声信号をリードして処理する。

【0033】

【発明の実施の形態】図1には本発明に係るデータプロセッサの一例が示される。同図に示されるデータプロセッサ1は、バスマスタモジュールとして演算制御装置2及びダイレクトメモリアクセスコントローラ(DMAC)3を有し、それらはアドレスバスバス4、データバス5及びコマンドバス6を共有し、バス権調停はバスの状態制御を行うバスステートコントローラ7が行う。

【0034】前記演算制御装置(以下単にCPUとも称する)2は、命令をフェッチして解読する命令制御部とこれによって動作が制御される演算部とを有する。演算部は、特に制限されないが、整数演算器及び汎用レジス

タを有する整数演算ユニットと、積和演算器及び積和演算レジスタを有するディジタル信号処理ユニット(DSP)とを備える。特に図示はしないが、CPU2は特定の信号処理演算などに特化したアクセラレータを更にも含んでもよい。

【0035】尚、CPU2の動作プログラムはデータプロセッサ1にROMを内蔵して供給してもよい。或いはデータプロセッサ1の外部のプログラムROMを設けてもよい。また、メモリ8を構成するRAMの所定エリアをアプリケーションプログラム領域として用いてもよい。

【0036】SRAM(スタティック・ランダム・アクセス・メモリ)又はDRAM(ダイナミック・ランダム・アクセス・メモリ)から成るメモリ8は整数演算演算ユニット及びDSPによる演算に利用され、前記バス4, 5, 6に接続するアクセスポートと、前記CPU2のDSPにディジタル信号処理専用バス10で接続されるアクセスポートとのデュアルポートを有する。前記デュアルポートは完全並列アクセスを許容する。前記ディジタル信号処理専用バス10は、アドレス、データ及び制御信号の信号線を含んでいる。

【0037】データプロセッサ1はその他に周辺回路9及び割り込みコントローラ10などを有する。周辺回路は、外部から供給されるアナログ信号をディジタル信号に変換するアナログ・ディジタル・コンバータ(A/D)やシリアル・コミュニケーション・インタフェース・コントローラ(SCI)などを総称する。

【0038】前記DMAC3は、特に制限されないが、データ転送モードとしてシングルアドレッシングモードを有し、予めCPU2によって転送開始アドレスなどの転送制御条件が設定され、周辺回路9からの転送要求信号100によりデータ転送制御が起動される。

【0039】DMAC3はデータ転送要求信号100によりデータ転送要求を受けると、BSC7に対してバス権要求信号101を出力してバス権を要求する。BSC7は、DMAC3からバス権の要求を受け取ると、CPU2によるバス4, 5, 6の使用状態を監視し、バス4, 5, 6が空いていればバス権承認信号102をDMAC3に出力して、DMAC3にバス権を与える。このとき、CPU2にはバス使用信号103によりバス使用中である状態が伝えられる。

【0040】DMAC3はバス権承認信号102を受け取ると、アドレスバス4に例えば転送元のアドレス(周辺回路9の中のレジスタのアドレス等)を出力し、同時にバスコマンドバス6にリードコマンドを出力する。転送元のアドレスの出力に代えて、転送元の周辺回路を選択するモジュール選択信号を転送元に出力してもよいことは言うまでもない。

【0041】周辺回路9は、前記転送元アドレス及びリードコマンドをアドレスバス4及びバスコマンドバス6

を介して受け取ると、データバス5にデータを出力する。データバス5上でリードデータが確定するタイミングに同期して、前記DMAC3は、例えば転送先のメモリ8のアドレスをアドレスバス4に出力し、併せてバスコマンドバス6に書きこみ処理を示すコマンドを出力する。これによってメモリ8はアドレスバス4から供給されるアドレスによってアドレッシングされるメモリエリアにデータバス5上のデータを格納する。DMAC3は1回データ転送を行う毎に、転送先メモリアドレスを次の転送先アドレスに更新する。

【0042】DMAC3は上述のように周辺回路9からの転送要求がある度にシングルアドレッシングモードで周辺回路9からメモリ8にデータ転送を行う。詳細については後述するが、DMAC3は、転送開始アドレスを基点に周辺回路9からの転送要求に応答するデータ転送が所定のデータ量に達する毎に割り込み要求信号110、111を交互に割り込みコントローラ10に出力して、割り込みコントローラ10からCPU2に割り込み信号104を出力させ、前記割り込み要求信号110、111により割り込みを所定の複数回例えば2回要求する毎に転送先のメモリアドレスを転送開始アドレスに初期化する。

【0043】尚、前記割り込みコントローラ10は周辺回路9から別の割り込み要求信号105も供給され、割り込み要求が競合する場合には割り込み優先順位などに従った優先制御若しくは割り込みネスト制御を行って、CPU2への割り込み要求を調停する。また、初期設定される転送条件次第では前記周辺回路9が転送先デバイスになることも当然あるが、その場合には転送元アドレスが順次更新される点を除いてDMAC3は上記と同様に機能するので、図1の例ではその詳細な説明は省略する。

【0044】図2には転送元アドレスを固定とし、転送先アドレスを順次更新するシングルアドレッシングモードに特化した前記DMAC3の第1の例が示される。

【0045】図2の例ではDMAC3は、CPU2によりデータバス5を介して初期設定可能なレジスタとして、ソースアドレスレジスタ(SAR)11、インシヤルアドレスレジスタ(IAR)12及び転送回数指定レジスタ(TCR)13を有する。

【0046】前記SAR11は転送元アドレスが設定される。前記IAR12は転送先の転送開始アドレスが設定される。前記IAR12の設定値はセクタ14からディステーションアドレスレジスタ(DAR)15にロードされ、ロードされたアドレスは1回のデータ転送転送動作が完了される毎にインクリメント(INC)16でインクリメント(+1)され、次の転送先アドレスとしてセクタ14からDAR15にロードされる。前記セクタ14、DAR15及びINC16のループは転送先アドレスカウンタを構成する。

【0047】前記SAR11から出力される転送元アド

レス17は転送元に対するアクセスタイミングに同期してセクタ18からアドレスバス4に出力され、前記DAR15から出力される転送先アドレス19は転送先に対するアクセスタイミングに同期して前記セクタ18からアドレスバス4に出力される。

【0048】前記TCR13は第1の目的回数としての転送回数が初期設定される。初期設定された転送回数はセクタ20を介して回数レジスタ(TC)21にロードされ、ロードされた回数値は1回のデータ転送動作が行われる毎にデクリメント(DEC)22でデクリメント(-1)され、残りの転送回数としてセクタ20からTC21にロードされる。

【0049】前記デクリメント22はデクリメント結果が“0”になる度に、換言すれば、前記第1の目的回数のデータ転送が行われる毎に、ゼロ信号23を“1”にする。セクタ20はゼロ信号23の“0”状態においてDEC22の出力を選択し、前記セクタ20、TC21及びDEC22のループは、1回の転送動作毎にデクリメントを行う転送カウンタとして動作される。前記転送カウンタとして動作されているとき、ゼロ信号23が“1”にされると、前記セクタ20はTCR13の初期値を選択し、TC21の値を初期値に戻し、初期値から転送カウンタ動作を再開する。

【0050】1ビットカウンタ(1bitC)24は前記ゼロ信号23が“1”にされる回数を計数する。1ビットカウンタ24の例では、初期値が“0”であり、前記ゼロ信号23が“1”にされる度に出力25を交互に“1”、“0”に変化させる。換言すれば、信号25の初期状態(=“0”)において前記ゼロ信号23が1回目に“1”にされると、信号25が“1”にされ、この状態で、前記ゼロ信号23が2回目に“1”にされると、信号25が“0”に初期化されるから、信号25が“1”にされている状態で前記ゼロ信号23が“1”にされたときは2回目の“1”状態であることがわかる。

【0051】前記ゼロ信号23及び1ビットカウンタ24の出力信号25を受ける制御回路26は、信号25が“1”にされているとき、信号30でセクタ14にIAR12の値を選択させてDAR15を初期化する。したがって、図3に例示されるように、TCR13に初期設定された転送回数のデータ転送が繰り返して2回行われる毎にDAR15のアドレスがIAR12の初期設定値に戻され、結果として、IAR12の初期アドレスを先頭に、TCR13に初期設定された転送回数分の転送データが夫々メモリ領域MA、メモリ領域MBに連続して格納されることになる。

【0052】制御回路26は、前記ゼロ信号23が“1”にされる毎に(TCR13に初期設定された転送回数分のデータがメモリ8に蓄えられる毎に)割り込み要求を出す、このとき、図3のメモリ領域MA、MBの何れの領域に対するデータの格納が完了したかを区別でき

るように、ゼロ信号23が“1”になったとき、信号25が“0”であれば割込み要求信号110をアサートし、信号25が“1”であれば割込み要求信号111をアサートする。これによってCPU2は、図3のメモリ領域MA又はMBのどちらをアクセスしたらよいかを認識できる。実際には、割込み要求信号110、111のどちらがアサートされているかに応じた割り込み要因情報を割り込みコントローラ10がCPU2に与えることによって認識可能にされる。

【0053】前記制御回路26は、前述のように、転送要求信号100を介して転送要求があると、バス権要求信号101にてバス権を要求し、これに回答するバス権承認信号102でバス権を獲得して、データ転送制御動作を開始する。データ転送制御において前記制御回路26は、セレクト14の選択制御信号30、DAR15のラッチ制御信号31、セレクト18の選択制御信号32、INC16のインクリメント動作指示信号33、TC21のラッチ信号34、DEC22のデクリメント動作指示信号35、及び前記割込み信号110、111を生成する。インクリメント動作指示信号33及びデクリメント動作指示信号35は転送元から転送先への1回のデータ転送毎に動作が指示され、その演算動作の直後にラッチ制御信号31、34がイネーブルにされて、夫々の演算結果でDAR15、TC21が更新されることになる。

【0054】図4に基づいてDMAC3のデータ転送動作を全体的に説明する。

【0055】DAR15の値は制御回路26が転送要求信号100にて転送要求を受け付ける毎にIAR12の値から1ずつ加算されていく。TC21の値は制御回路26が転送要求信号100にて転送要求を受け付ける毎にTCR15の値から1ずつ減算されていく。そしてDEC22のゼロ信号23が1になると、TC21はTCR13の値によって初期化される。前記1ビットカウンタ24は、ゼロ信号23を受け取る度に、“0”と“1”を交互に繰り返す信号25を出力する。DAR15は、1ビットカウンタ24の出力25が“1”の時にゼロ信号23が“1”になると、セレクト14により、IAR12の値がロードされる。

【0056】図4より明らかなように、1ビットカウンタ24の値が“0”のときTC21の値が“0”にデクリメントされると(信号23=“1”)、割込み信号110がアサートされる。1ビットカウンタ24の値が“1”のときTC21の値が“0”にデクリメントされると(信号23=“1”)、割込み信号111がアサートされ、且つ、DAR15の値がIAR12の値に初期化される。

【0057】これにより、図3のメモリ領域MA、MBの一つにデータの格納が完了されと、対応する割込み要求信号110、111がアサートされる。CPU2はア

サートされた割込み要求信号に対応するメモリ領域から前記デジタル信号処理専用バス10を介してデータをリードし、DSPでデジタル信号処理などを行う事ができる。これに並行して、DMAC3は周辺回路9からのデータ転送要求に回答して他方のメモリ領域にデータ転送可能にされる。

【0058】そして、割込み要求信号110、111に起因する割り込みがCPU2に2回要求される毎に、前記IAR12の転送開始アドレスでDAR15が初期化されるから、2個のデータ領域MA、MBをサイクリックに利用するデータ転送制御に際して、CPU2は転送制御条件を再設定する負担から解放される。換言すれば、連続する多数のデータ領域を用いることなく、限られたリソースを使用するだけでも、CPU2による転送制御条件設定操作の負担を軽減して、間断なくデータ転送とデータ処理とを並列に継続させることが可能になる。

【0059】図5には前記データプロセッサ1を適用したGSM方式携帯電話システムが例示される。

【0060】音声はマイクロフォン41によりアナログ音声信号として取り込まれ、A/D変換器42によりデジタル音声信号に変換され、データプロセッサ1に入力される。データプロセッサ1は、受け取ったデジタル音声信号に対する音声符号化処理及びレイヤ処理としてのチャンネルコーデック処理等を行い、処理信号を送信信号として出力する。前記音声符号化処理及びチャンネルコーデック処理等は、特に制限されないが、DSPを用いて行われる。特に図示はしないが、データプロセッサ1は、前記チャンネルコーデックや音声コーデックの為にアクセラレータを内蔵してよい。

【0061】データプロセッサ1で生成された送信信号はGMSK変調回路43によって変調され、更にD/A変換器44のよりアナログ信号に変換され、高周波送信回路45によりアンテナ46を介して送信される。

【0062】アンテナ46で受信された受信信号は、高周波受信部47によって受信され、A/D変換器48にてデジタル信号に変換され、データプロセッサ1に取り込まれる。データプロセッサ1は、ビット復号処理、音声復号処理等を行い、音声信号を取り出し得て出力する。ビット復号処理、音声復号処理等はDSP又は図示を省略するアクセラレータによって行われる。

【0063】データプロセッサ1より出力された音声信号はD/A変換器49によりアナログ音声信号に変換され、スピーカ50から音声として出力される。

【0064】図5の携帯電話システムにおいてデータプロセッサ1に内蔵されたDMAC3は、A/D変換器42から出力されるデジタル音声信号を周辺回路9のSCIを介してメモリ8に蓄えるとき、そして、A/D変換器48から出力される受信デジタル信号を周辺回路9のSCIを介してメモリ8に蓄えるときに用いること

ができる。

【0065】特に制限されないが、図5の携帯電話システムの例では、データプロセッサ1は音声符号化復号のための音声コーデック処理、レイヤ処理としてのチャンネルコーデック処理、及びシステム制御処理などの動作プログラムを有するROM1Aを有する。DMAC3に対する転送制御条件の設定処理は前記ROM1Aに格納された動作プログラムをCPU2が実行して行うようになっている。

【0066】図6には図5の携帯電話システムにおいてA/D変換器42から出力されるデジタル音声信号を周辺回路9のSCIを介してメモリ8に蓄えながら、そのデジタル音声信号を符号化するときの動作が示される。図5のGMSK方式の携帯電話システムにおいて、音声信号は160サンプルのデータを一単位として処理する。まず、最初の音声1の160サンプル分のデータは前記領域MAに順次格納される。次にその後の160サンプル分の音声2のデータはメモリ8のメモリ領域MBに格納される。

【0067】メモリ領域MBに音声2のデータが順次格納されているときに、CPU2ではメモリ領域MAに格納されている音声1のデータを読み込み、音声符号化処理を行う。

【0068】更に、音声3のデータが順次メモリ領域MAに格納されているとき、CPU2はメモリ領域MBの音声2のデータに対して符号化処理を行う。次に、音声4のデータがメモリ領域MBに格納され、これに並行して、CPU2はメモリ領域MAの音声3のデータを読み込んで符号化処理を行う。

【0069】以下同様に、受信音声データを格納するメモリ領域と、音声符号化の対象とするメモリ領域とを交互に切り換えながら、音声データを符号化していくことにより、CPU2は、一旦DMAC3のデータ転送条件を設定した後は、2個のメモリ領域MA、MBを繰り返し利用して音声データを受信するためのデータ転送制御のために如何なる再設定処理も行わずに音声の符号化を継続することができる。

【0070】これにより、データプロセッサ1による音声符号化の処理効率を向上させることができる。即ち、DMAC3側で自動的にデータバッファ（メモリ8上のメモリ領域）を切り替えながらデータ転送を行うことができるから、CPU2自らが音声データを別のバッファ領域に複製したり、DMAC3の再設定処理を行わずに済み、CPUの処理効率を向上させることができる。換言すれば、CPU2によるデータ処理量を低減することができる。

【0071】CPU2によるデータ処理量を低減することができるから、CPU2の動作周波数を低くすることも可能になり、低速動作される余裕も増すから、携帯電話システムの低消費電力に寄与することができる。

【0072】図7には転送元アドレスを固定とし、転送先アドレスを順次更新するシングルアドレッシングモードに特化した前記DMAC3の第2の例が示される。図2の第1の例に対して、2個のイニシャルアドレスレジスタ（IARa, IARb）12a、12bを設け、セクタ14AによってIARa12aの出力、IARb12bの出力又はインクリメント16の出力を選択する点が相違される。セクタ14Aは、制御回路26Aで生成される制御信号30Aにより、前記ゼロ信号23が“0”の間はインクリメント16の出力を選択し、前記ゼロ信号23が“1”になったときは、信号25が“0”であればIARa12aの出力を、信号25が“1”であればIARb12bの出力を選択する。

【0073】これにより、ゼロ信号23が“1”になる度にIARa12a、IARb12bの値が交互にDAR15にセットされる。これにより、図8に例示されるように、IARa12aの初期値を先頭にしたTCR13の初期値のデータ転送回分のデータ転送動作と、IARb12bの初期値を先頭にしたTCR13の初期値のデータ転送回分のデータ転送動作とが交互に可能にされる。したがって、図9に例示されるように、2個のメモリ領域MA、MBをそれぞれ任意の場所に確保するとき、メモリ8の利用エリアに対する自由度を高めることができる。

【0074】図10にはシングルアドレッシングモードに特化した前記DMAC3の第3の例として、転送元又は転送のどちらかを2面バッファに選択可能にした構成が示される。図2の構成に対してSAR11Aの入力をセクタ14の出力に接続し、DAR15のラッチ制御信号31DとSAR11Aのラッチ制御信号31Sを夫々制御回路26Bで生成する。

【0075】制御回路26Bは、図1と同様にメモリ領域MA、MBを転送先とする場合、まず、CPU2からIAR12にロードされたソースアドレスを制御信号30B、31Sを介してSAR11Aにラッチさせる。その後は、CPU2からIAR12に初期設定されたディスティネーションアドレスを制御信号30B、31Dを介してDAR15にラッチさせ、図2と同様のデータ転送が可能にされる。

【0076】一方、制御回路26Bは、メモリ領域MA、MBを転送元とする場合、まず、CPU2からIAR12にロードされたディスティネーションアドレスを制御信号30B、31Sを介してDAR15にラッチさせる。その後は、CPU2からIAR12に初期設定されたソースアドレスを制御信号30B、31Dを介してSAR11Aにラッチさせ、その後は、1回のデータ転送毎にSAR11Aの値をインクリメントし、TCR13に初期設定された転送回数のデータ転送が2回行われる毎に、IAR12のソースアドレス初期値をSAR11Aに初期設定する動作を繰り返していけばよい。割り

込み要求信号110, 111は図2の場合と同様に、TCR13に初期設定された転送回数のデータ転送が完了される毎にアサートされる。

【0077】図10の構成によれば、図5のGSM携帯電話システムにおいて、データプロセッサ1の内部で復号された音声データがメモリ8に蓄えられているとき、その音声データをメモリ8から読み出して周辺回路9のSCIにデータ転送し、D/A変換器49に伝達するとき、或いは、データプロセッサ1で符号化されてメモリ8に格納された送信データを順次メモリ8から読み出してGMSK変調回路43へ供給するときにも、DMAC3を利用できるようになる。

【0078】図11には転送先アドレスを固定とし、転送元アドレスを順次更新するシングルアドレッシングモードに特化した前記DMAC3の第4の例が示される。図2の構成に対してSAR11Aをアドレスカウンタループに配置し、DAR15AをCPU2によって初期設定可能なレジストとして構成した点が相違される。この構成は、図10の構成においてSAR11Aをアドレスカウンタループに置いた場合と同様に機能する。

【0079】図12には転送元アドレスを固定とし、転送先アドレスを順次更新するシングルアドレッシングモードに特化し、3面バッファを利用してデータ転送制御可能なDMAC3の第5の例が示される。

【0080】図12のDMAC3は図2の構成に対し、1ビットカウンタ24Aの代わりに3進カウンタ24Aを採用し、ゼロ信号23が3回“1”になる毎にIAR12の値でDAR15の値を初期化し、割り込み要求信号も110, 111, 112の3本とした点で相違される。割り込み要求信号110は、3進カウンタ24Aの値が初期値0のときにゼロ信号23が“1”に変化されるとアサートされる。割り込み要求信号111は、3進カウンタ24Aの値が1のときにゼロ信号23が“1”に変化されるとアサートされる。割り込み要求信号112は、3進カウンタ24Aの値が2のときにゼロ信号23が“1”に変化されるとアサートされる。また、図7の構成に対し、3面バッファを実現するには、IAR12a, 12bにもう一つIARを加え3個のIARをセレクト14Aで順番に選択しながら夫々の値を順次DAR15に設定していく構成を採用してもよい。

【0081】図13には図12のDMACによるデータ転送動作の例が示される。TCRの初期値のデータ転送回数分のデータ転送動作毎に、順次割り込み要求信号110, 111, 112がアサートされ、TCRの初期値のデータ転送回数分のデータ転送動作が3回繰り返されたとき、DAR15のディスティネーションアドレスがIARの設定値に初期化される。

【0082】これにより、図14に例示されるように、TCRの初期値のデータ転送回数分のデータ領域を1つのデータ領域とした3面のデータバッファ(3個メモリ

領域)MA, MB, MCを利用したデータ転送動作が可能になる。

【0083】図12のDMACの構成によって3面バッファMA, MB, MCを利用できれば、1つのデータ領域にデータ転送を行っているとき、既にデータ転送を完了している2面のデータ領域のデータを用いてデータ処理を行うことができる。これによる利点は、例えば、データ領域毎に音声データを符号化していくとき、音声データ符号化のための計数を求める短期予測処理では一つ前に符号化されたデータ領域の一部のデータも必要とし、このとき、既に符号化処理の済んだデータのデータ領域も含めてされた2面のデータ領域のデータが残っていれば、短期予測処理に必要なデータの確保が確実になる、ということである。

【0084】上記利点を更に詳述する。GSM音声符号化処理では、図15に示すように、実際に符号化される音声データB(160サンプル=160W)の符号化のための係数を求める短期予測処理という処理があり、この短期予測処理には、一つ前に符号化された音声データAの最後の35サンプル(35W)分のデータを必要とする。

【0085】このとき2面バッファを用いるならば、音声データBを符号化したいとき、既に符号化が終わっている音声データAのメモリ領域には次の音声データCが順次転送されてくる。音声データBの符号化のための短期予測処理が完了する前に短期予測処理に必要な音声データAの部分がオーバーライトされてしまえば、音声データBの符号化に必要な短期予測処理を最早完了させることはできない。

【0086】前記メモリ領域MA, MB, MCのような3面バッファを用いることができれば、図16に例示されるように、メモリ領域MCの音声データを符号化するとき、DMAC3からデータ転送を受けるメモリ領域はMAであり、その符号化のための短期予測処理に必要な一つ前のデータはメモリ領域MB上に完全に保存されているから、新たな音声データの格納による上書きを免れることができる。

【0087】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0088】例えば、DMACはデータプロセッサに内蔵された形態に限定されない。DMAC単体の半導体集積回路としても実現できる。また、その場合には、バッファRAMとしてメモリを内蔵させてもよい。また、DMACを内蔵したデータプロセッサは、キャッシュメモリ、メモリマネージメントユニット、その他の周辺回路などを内蔵してよい。また、データプロセッサは外付けメモリをメインメモリとして利用するものであってもよい。DMACにおいてアドレスカウンタはインクリメン

トに限定されずデクリメントする構成であってもよい。逆に転送カウンタはデクリメントに限定されずインクリメントする構成であってもよい。デュアルアドレッシングモードについて特に説明していないが、DMACがデュアルアドレッシングモードを有してよいことは言うまでもない。

【0089】また、本発明は携帯電話システムに適用する場合に限定されない。その他の音声処理システム、マルチメディアシステム、動き補償を用いたグラフィックシステム、携帯情報端末装置、セットトップボックス(STB)等に広く適用することができる。

【0090】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0091】すなわち、複数のデータ転送領域をサイクリックに用いて行うデータ転送に要するCPU等の制御負担を軽減させることができる。

【0092】逐次データを受け取りながらメモリなどに蓄積し、特定量のデータを蓄積する毎に、次のデータの蓄積処理に並列して既に蓄積されているデータを用いる一連の処理において、データ転送制御条件を再設定するCPUの負担を軽減することができる。

【0093】逐次データを受け取りながらメモリなどに蓄積し、特定量のデータを蓄積する毎に、次のデータの蓄積処理に並列して既に蓄積されているデータを用いる一連の処理を行うデータ処理システムのデータ処理効率を向上させることができる。

【0094】転送制御装置側で自動的にデータ領域を切り替えながらデータ転送を行うことができるから、CPU等の演算制御装置は転送制御装置に対する度重なる再設定処理を行わずに済み、演算制御装置によるデータ処理量を低減することができる。

【0095】演算制御装置によるデータ処理量を低減することができるから、演算制御装置の動作周波数を低下させることも可能になり、データ処理システムの低消費電力に寄与することができる。

【図面の簡単な説明】

【図1】本発明に係るデータプロセッサの一例を示すブロック図である。

【図2】転送元アドレスを固定とし、転送先アドレスを順次更新するシングルアドレッシングモードに特化したDMACの第1の例を示すブロック図である。

【図3】転送回数と2面バッファとの関係を示す説明図である。

【図4】図2のDMACのデータ転送動作を全体的に示す動作説明図である。

【図5】データプロセッサを適用したGSM方式携帯電話システムの一例を示すブロック図である。

【図6】図5の携帯電話システムにおいてA/D変換器

から出力されるデジタル音声信号を周辺回路のSCIを介してメモリに蓄えながら、そのデジタル音声信号を符号化するときの動作を例示する説明図である。

【図7】シングルアドレッシングモードに特化し任意のメモリ領域を用いることができる第2の例に係るDMACを示すブロック図である。

【図8】図7のDMACの動作説明図である。

【図9】任意のメモリ領域を例示する説明図である。

【図10】シングルアドレッシングモードに特化し転送元又は転送のどちらかを2面バッファに選択可能にした第3の例に係るDMACを示すブロック図である。

【図11】シングルアドレッシングモードに特化したDMACの第4の例を示すブロック図である。

【図12】シングルアドレッシングモードに特化し3面バッファを利用してデータ転送制御可能な第5の例に係るDMACを示すブロック図である。

【図13】図12のDMACによるデータ転送動作動作を例示する説明図である。

【図14】3面バッファを例示する説明図である。

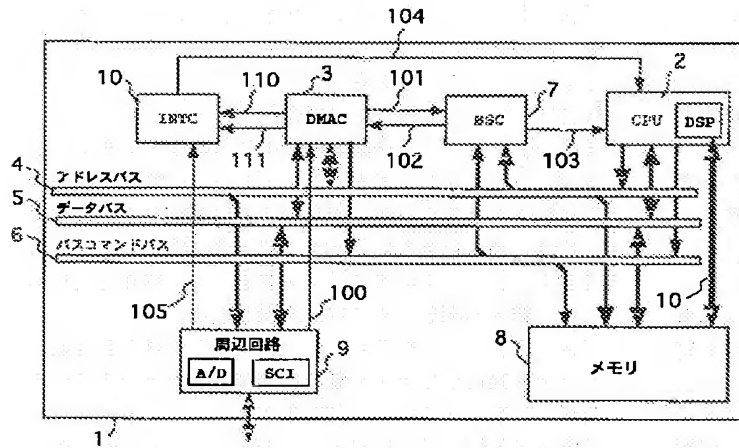
【図15】符号化対象データと短期予測処理に必要なデータとの関係を例示する説明図である。

【図16】3面バッファを用いて短期予測処理を行う利点を説明示す説明図である。

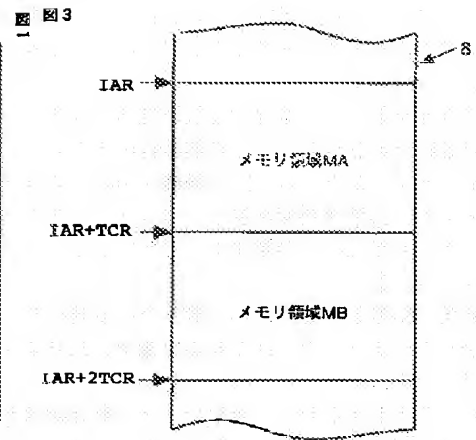
【符号の説明】

- 1 データプロセッサ
- 2 CPU
- 3 MDAC
- 4 アドレスバス
- 5 データバス
- 6 バスコマンドバス
- 8 メモリ
- 9 周辺回路
- 10 デジタル信号処理専用バス
- 11, 11A ソースアドレスレジスタ
- 12 イニシャルアドレスレジスタ
- 13 転送回数指定レジスタ
- 15, 15A ディスティネーションアドレスレジスタ
- 16 インクリメンタ
- 21 転送回数レジスタ
- 22 デクリメンタ
- 23 ゼロ信号
- 24 1ビットカウンタ
- 24A 3進カウンタ
- 26, 26A, 26B, 26C, 26D 制御回路
- 42 A/D変換器
- 100 データ転送要求信号
- 101 バス権要求信号
- 102 バス権承認信号
- 104 割込み信号
- 110, 111, 112 割込み要求信号

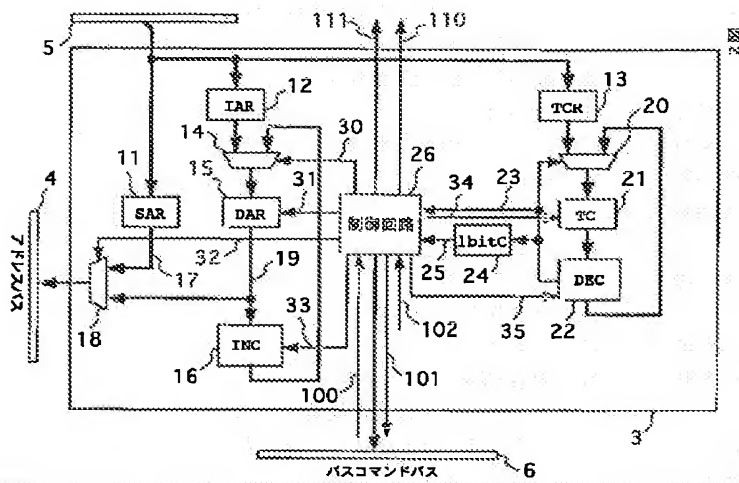
【図1】



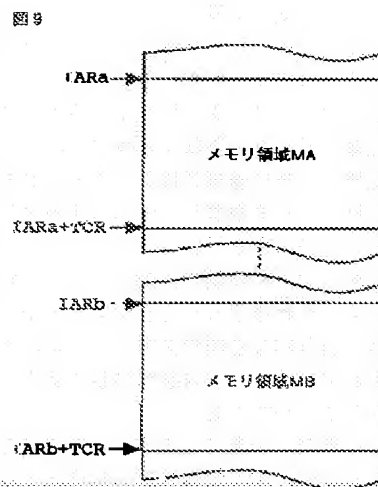
【図3】



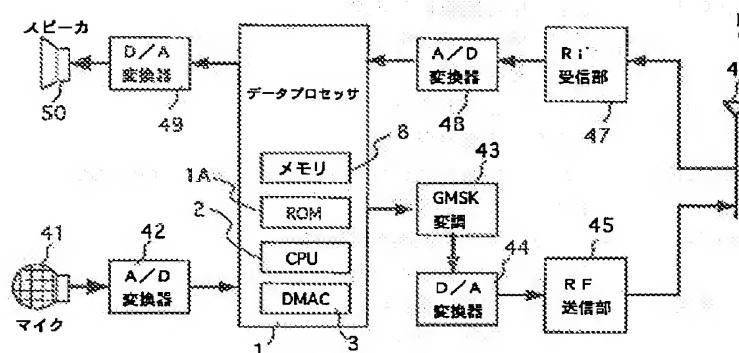
【図2】



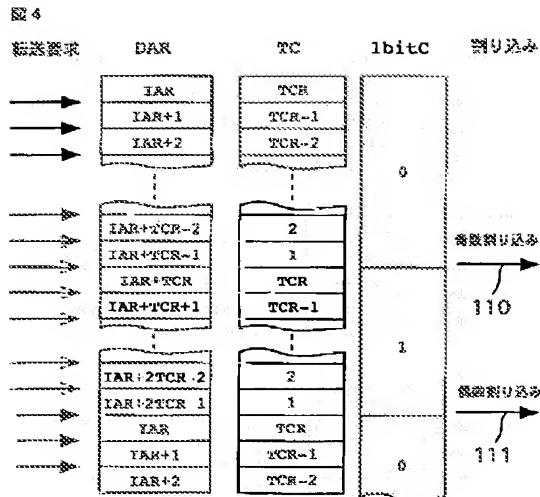
【図9】



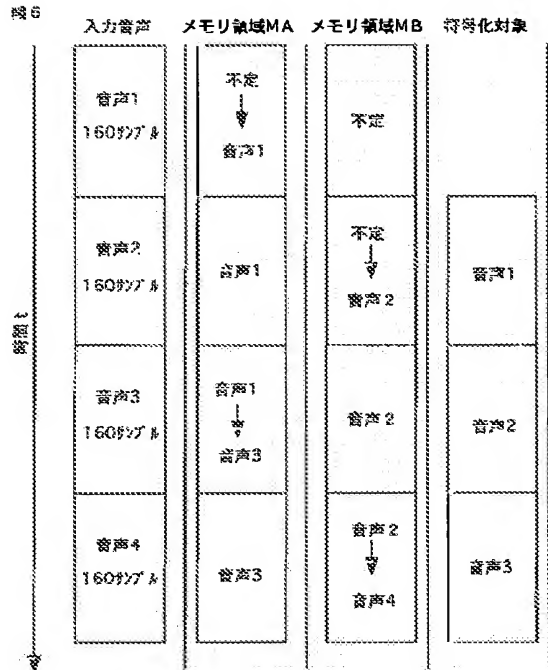
【図5】



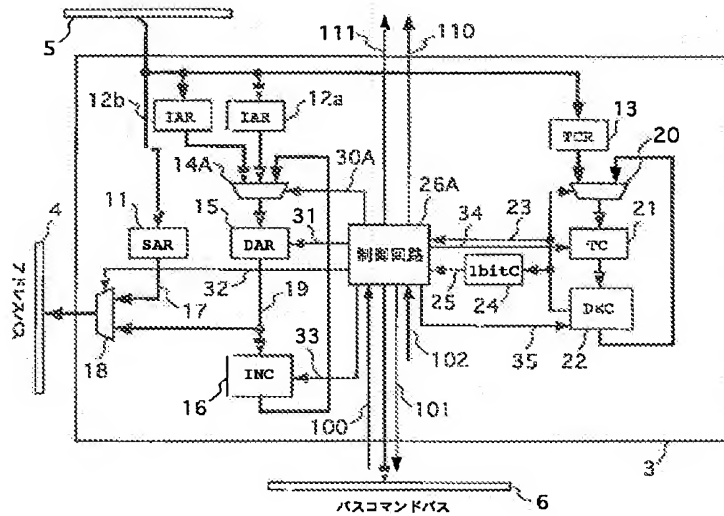
【例4】



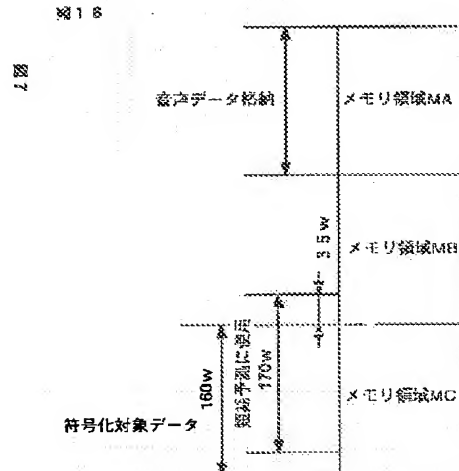
【图6】



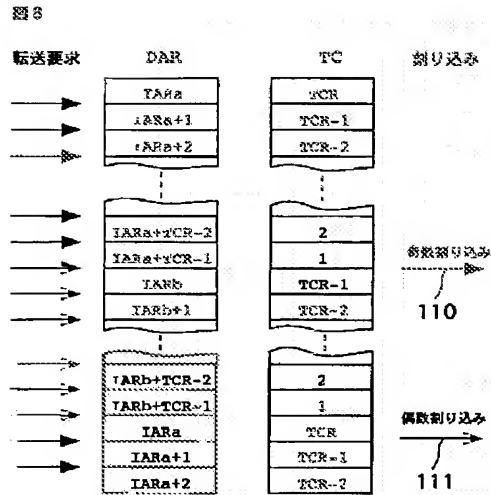
【图7】



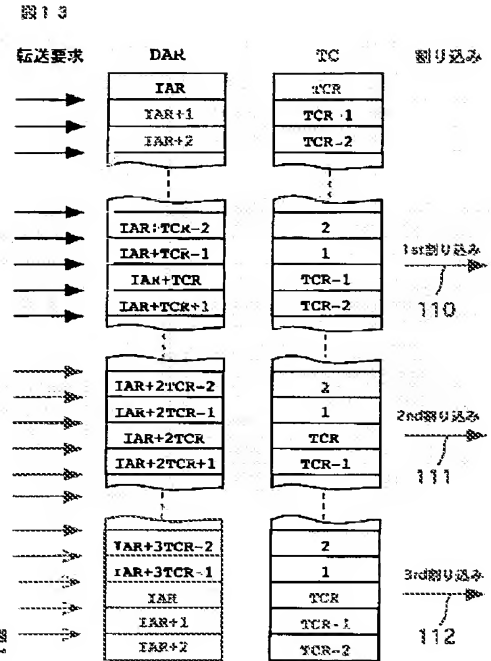
【图 16】



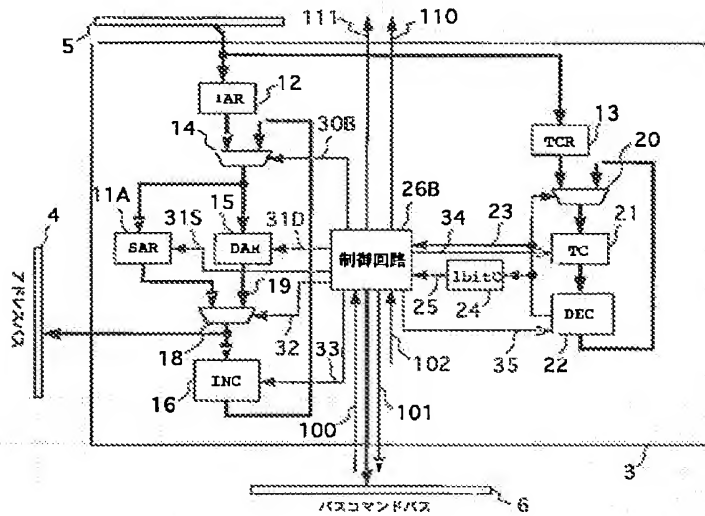
【図8】



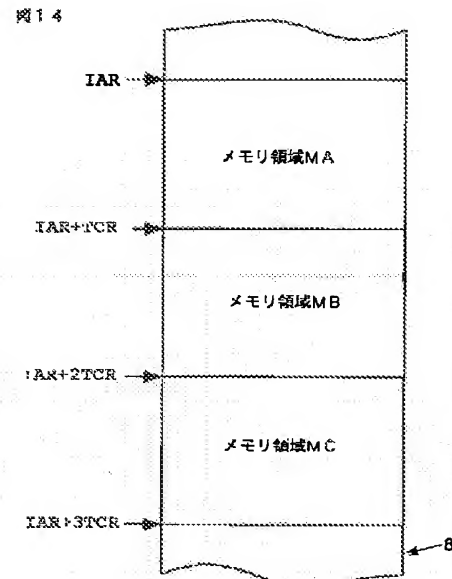
【図13】



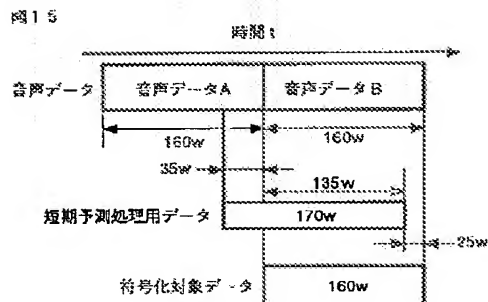
【図10】



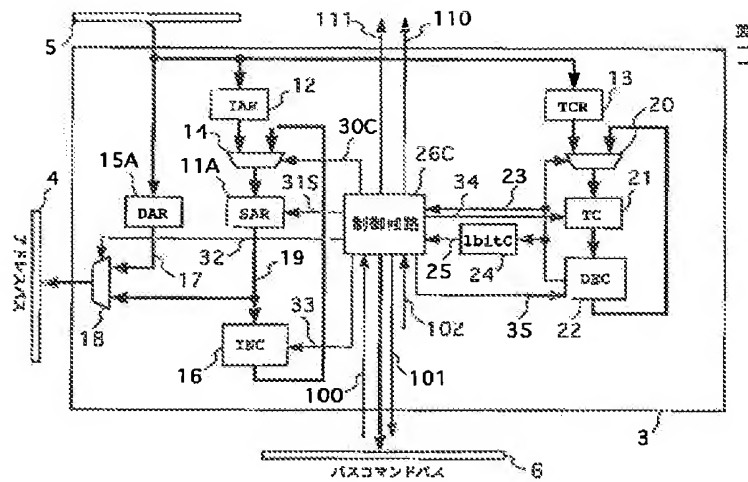
【図14】



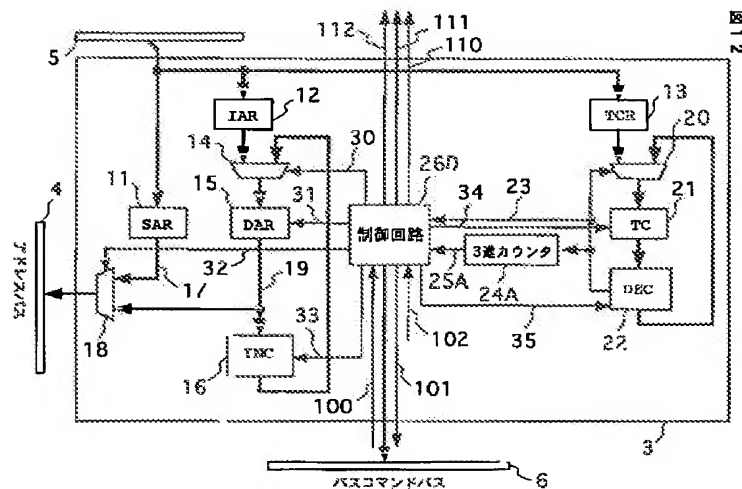
【図15】



【図11】



【図12】



フロントページの続き

(72)発明者 木内 淳
 東京都小平市上水本町五丁目20番1号 株
 式会社日立製作所半導体グループ内
 (72)発明者 中川 哲也
 東京都小平市上水本町五丁目20番1号 株
 式会社日立製作所半導体グループ内

(72)発明者 ダン タルマジ
 イギリス国 ハートフォードシャー SG
 8 6EEロイストン メルボーン ケン
 ブリッジロード メルボーンサイエンスパ
 ーク(番地なし) ザ テクノロジー パ
 ートナーシップ パブリック リミテッド
 カンパニー内

Fターム(参考) 5B060 AB04 AB09 AB10 AB17 AC18
 5B061 BA03 CC09 DD01 DD09 DD12

